

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085054
Application Number

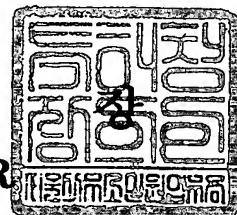
출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 27
【발명의 명칭】	캐패시터 및 그를 구비하는 비휘발 소자의 제조 방법
【발명의 영문명칭】	Capacitor and method for fabricating nonvolatile device with the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김남경
【성명의 영문표기】	KIM,Nam Kyeong
【주민등록번호】	671128-1929433
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 신한아파트 103-502
【국적】	KR
【발명자】	
【성명의 국문표기】	권순용
【성명의 영문표기】	KWEON,Soon Yong
【주민등록번호】	680812-1460616
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 465 현대6차 아파트 602-601
【국적】	KR
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM,Seung Jin

1020020085054

출력 일자: 2003/5/15

【주민등록번호】	630909-1018021		
【우편번호】	449-120		
【주소】	경기도 용인시 동천동 859 동천마을 현대1차 흠타운 105-704		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	593,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 외부에서 인가되는 전하충돌에 의한 결합 발생을 억제하는데 적합한 비휘발성 소자 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 비휘발성 소자는 트랜지스터가 형성된 반도체기판, 상기 반도체기판 상부의 평탄한 표면을 갖는 충간절연막, 상기 충간절연막을 관통하는 콘택을 통해 상기 트랜지스터의 소스/드레인에 연결되는 상기 충간절연막 상의 하부전극, 상기 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 상기 하부전극을 에워싸는 상기 충간절연막 상의 고립절연막, 상기 고립절연막 및 상기 하부전극을 덮는 강유전체막, 상기 강유전체막을 이루는 구성물질의 환원에 따른 산소공극을 보상해주는 상기 강유전체막 상의 산소공극 보상층, 및 상기 산소공극 보상층 상의 상부전극을 포함한다.

【대표도】

도 2

【색인어】

피로현상, BLT, BT0, SBTN, SBT, 산소공극, MTP

【명세서】

【발명의 명칭】

캐패시터 및 그를 구비하는 비휘발 소자의 제조 방법{Capacitor and method for fabricating nonvolatile device with the same}

【도면의 간단한 설명】

도 1a는 종래 기술에 따른 강유전체 메모리 소자를 도시한 소자 단면도,
 도 1b는 종래 기술에 따른 BLT막의 신뢰성 측정 결과,
 도 1c는 신뢰성 감소폭을 수치로 나타낸 그래프,
 도 2는 본 발명의 실시예에 따른 MTP 구조의 캐패시터를 포함하는 비휘발성 소자를
 도시한 구조 단면도,

도 3a 내지 도 3f는 도 2에 도시된 비휘발성 소자의 제조 방법을 도시한 공정 단면
 도

도 4a는 본 발명의 실시예에 따른 BLT막의 신뢰성 측정 결과,
 도 4b는 신뢰성 감소폭을 수치로 나타낸 그래프.

* 도면의 주요 부분에 대한 부호의 설명

31 : 반도체기판

32 : 소자분리막

33 : 게이트산화막

34 : 워드라인

35a,35b : 소스/드레인영역

36 : 제1 층간절연막

37 : 비트라인콘택

38 : 비트라인

39 : 제2 층간절연막

40 : 스토리지노드콘택

41a : 이리듐막

42a : 이리듐산화막

43a : 백금막

44a : 티타늄나이트라이드막

46b : 고립절연막

47 : 강유전체막

48 : 산소공극 보상층

49 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 비휘발성 소자의 캐패시터 제조 방법에 관한 것이다.
- <19> 반도체 메모리 소자에서 강유전체(ferroelectric) 재료를 캐패시터에 사용함으로써 기존 DRAM(Dynamic Random AccessMemory) 소자에서 필요한 리프레쉬(refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. FeRAM(ferroelectric random access memory) 소자는 비휘발성 메모리 소자의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 기존의 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.

- <20> 강유전체 박막을 이용하는 비휘발성 메모리 소자는, 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호 1과 0을 저장하는 원리를 이용하는 것이다.
- <21> FeRAM의 축전물질로는 SrBi₂Ta₂O₉(이하 'SBT'라 약칭함)와 Pb(Zr,Ti)O₃(이하 'PZT'라 약칭함)과 같은 박막이 주로 사용된다. 강유전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(remnant polarization) 상태를 갖고 있어 이를 박막화하여 비휘발성(nonvolatile) 메모리 소자로의 응용이 실현되고 있다.
- <22> 한편, SBT의 우수한 신뢰성과 PZT의 낮은 결정화 온도 및 높은 분극 특성 등 각각의 장점을 고루 갖춘 새로운 강유전체 물질로서 BLT(Bi_{4-x}La_xTi₃O₁₂)와 BT0(Bi₄Ti₃O₁₂)가 있다.
- <23> 도 1a는 종래기술에 따른 강유전체 메모리 소자를 도시한 소자 단면도이다.
- <24> 도 1a를 참조하면, 반도체기판(11)에 활성영역을 정의하는 소자분리막(12)이 형성되고, 반도체기판(11)상에 게이트산화막(13)과 워드라인(14)의 적층구조물이 형성되며, 워드라인(14) 양측의 반도체기판(11)에 소스/드레인영역(15a, 15b)이 형성된다.
- <25> 그리고, 워드라인(14)과 소스/드레인영역(15a, 15b)을 포함하는 트랜지스터상에 제1층간절연막(16)이 형성되고, 제1층간절연막(16)을 관통하여 일측 소스/드레인영역(15a)에 콘택되는 비트라인콘택(17)을 통해 비트라인(18)이 연결된다.
- <26> 그리고, 비트라인(18)을 포함한 전면에 제2층간절연막(19)이 형성되고, 제2층간절연막(19)과 제1층간절연막(16)을 동시에 관통하여 타측 소스/드레인영역(15b)에 이르는 스토리지노드콘택(20)이 형성된다.

- <27> 그리고, 스토리지노드콘택(20)에 연결되는 하부전극(21)이 형성되고, 이웃한 하부전극(21)간 격리를 위해 평탄화된 고립절연막(22)이 하부전극(21)을 에워싸고 있으며, 고립절연막(22)과 하부전극(21)을 강유전체막(23)이 덮는다. 여기서, 강유전체막(23)은 BT0 또는 BLT를 이용하고, 셀영역에만 형성된다.
- <28> 마지막으로, 강유전체막(23) 상에 상부전극(24)이 형성된다.
- <29> 도 1a과 같은 구조의 캐패시터를 MTP(Merged Top Plate) 구조라고 한다.
- <30> 그러나, BT0 또는 BLT를 이용하는 캐패시터는 고온에서 소자가 고속 동작할 때 정보 피로 현상(data fatigue)이 급격히 나타나 소자 정보의 페일(fail)을 유발시키는 문제가 있다. 특히, 피로 현상은 강유전체막(23) 내부의 구조를 이루는 티타늄(Ti) 이온이 외부에서 인가되는 전하충돌(charge impact)에 의해 환원되어 결함을 발생시키고, 계속적인 외부 인가 펄스에 의해 결함들이 전극 계면으로 확산 및 집중되어 분극특성을 나타내는 디폴(dipole)의 배향을 억제시켜 분극값을 감소시키고, 결함이 존재하는 계면에서는 캐패시터의 컨덕터(conductor) 현상으로 인해 박막에 인가되는 인가 펠드(field)가 높아져 박막이 쉽게 파괴되는 문제가 있다.
- <31> 도 1b는 종래 기술에 따른 BLT막의 신뢰성 측정 결과이다. 여기서, 가로좌표는 스위칭사이클을 나타내고, 세로좌표는 분극값($P^* - P^\wedge$)을 나타내며, $+dP$ 와 $-dP$ 는 각각 양의 분극값과 음의 분극값을 나타낸다. 그리고, 도 1c는 신뢰성 감소폭을 수치로 나타낸 그래프로서, 가로좌표는 측정온도를 나타내고, 세로좌표는 분극값($P^* - P^\wedge$)을 나타낸다.
- <32> 도 1b를 참조하면, 125°C (▲,▼)에서 잔류분극이 급격하게 감소하고 있는데, 즉 데이터가 고속으로 장시간 사용되는 높은 스위칭사이클(Switching cycle)에서 신뢰성이 급

격하게 감소됨을 알 수 있다. 아울러, 상온(RT,)에서도 높은 스위칭사이클에서 신뢰성이 감소됨을 알 수 있다.

<33> 도 1c를 참조하면, 측정온도(measure temperature)가 높아질수록 분극값이 급격하게 감소하고 있다. 즉, 측정온도가 높아질수록 분극값($P^* - P^\wedge$)이 $18 \mu C/cm^2$ 정도에서 $10 \mu C/cm^2$ 이하로 급격하게 감소하고 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 외부에서 인가되는 전하충돌에 의한 결함 발생을 억제하는데 적합한 비휘발성 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<35> 상기 목적을 달성하기 위한 본 발명의 비휘발성 소자는 트랜지스터가 형성된 반도체기판, 상기 반도체기판 상부의 평탄한 표면을 갖는 층간절연막, 상기 층간절연막을 관통하는 콘택을 통해 상기 트랜지스터의 소스/드레인에 연결되는 상기 층간절연막 상의 하부전극, 상기 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 상기 하부전극을 에워싸는 상기 층간절연막 상의 고립절연막, 상기 고립절연막 및 상기 하부전극을 덮는 강유전체막, 상기 강유전체막을 이루는 구성물질의 환원에 따른 산소공극을 보상해주는 상기 강유전체막 상의 산소공극 보상층, 및 상기 산소공극 보상층 상의 상부전극을 포함하는 것을 특징으로 한다.

<36> 그리고, 본 발명의 비휘발성 소자의 제조 방법은 반도체기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막상에 하부전극과 하드마스크의 순서로 적층된 적층 패턴을 형성하는 단계, 상기 적층 패턴을 포함한 전면에 고립절연막을 형성하는 단계, 상기 하드마스크의 표면이 드러날때까지 상기 고립절연막을 평탄화시키는 단계, 상기 하드마스크를 액체케미컬을 이용하여 제거하는 단계, 상기 하드마스크 제거후 드러난 상기 하부전극을 포함한 전면에 강유전체막을 형성하는 단계, 상기 강유전체막상에 산소공극 보상층을 형성하는 단계, 상기 산소공극 보상층 상에 상부전극용 도전막을 형성하는 단계, 및 상기 상부전극용 도전막과 상기 산소공극 보상층을 연속적으로 패터닝하는 단계를 포함하는 것을 특징으로 한다.

<37> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<38> 도 2는 본 발명의 실시예에 따른 MTP 구조의 캐퍼시터를 포함하는 비휘발성 소자를 도시한 구조 단면도이다.

<39> 도 2에 도시된 바와 같이, 먼저 비휘발성 소자의 캐퍼시터를 살펴보면, 이리듐막(41a)과 이리듐산화막(42a), 그리고 백금막(43a)의 순서로 적층된 하부전극이 고립절연막(46a)에 에워싸이면서 평탄화되고, 평탄화된 하부전극 및 고립절연막(46a) 상에 강유전체막(47)이 형성되며, 강유전체막(47) 상에 산소공극 보상층(48)과 상부전극(49)이 적층 형성된다.

<40> 여기서, 산소공극 보상층(48)은 강유전체막(47)으로 이용되는 BLT 또는 BT0 내부의 티타늄이 환원되어 발생하는 결함, 즉 산소공극(Oxygen vacancy)을 보상(compensation)

해주는 층으로서 루테늄산화막 또는 이리듐산화막 등의 금속산화막을 이용한다. 그리고, 산소공극 보상층(48)은 10Å ~ 1000Å 두께이고, 화학기상증착법 또는 원자층증착법을 이용하여 100°C ~ 700°C의 온도와 0.1mtorr ~ 10torr의 압력에서 증착한 것이다.

<41> 강유전체막(47)은 BLT 또는 BT0 중에서 선택된 강유전체막이고, 그 두께는 50Å ~ 3000Å이며, 상부전극(49)은 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텉스텐(W), 이리듐산화막, 루테늄산화막, 텉스텐나이트라이드막 또는 티타늄나이트라이드막 중에서 선택된 하 나이거나 이들의 복합구조물을 이용한다.

<42> 그리고, 고립절연막(46a)은 HDP(High Density Plasma) 산화막, BPSG, BSG 또는 PSG 중에서 선택된 하나이다.

<43> 다음으로, 비휘발성 소자는 소자분리막(32)이 형성된 반도체 기판(31)에 소스/드레 인영역(35a, 35b), 게이트산화막(33) 및 워드라인(34)을 포함하는 트랜지스터가 형성되고, 반도체 기판(31) 상부를 제1 층간절연막(36)이 덮고 있으며, 제1 층간절연막(36)을 관통하여 일측 소스/드레인영역(35a)에 비트라인콘택(37)이 연결되며, 비트라인콘택(37)에 비트라인이 연결된다. 그리고, 제1 층간절연막(36) 상에 제2 층간절연막(39)이 형성되고, 제2 층간절연막과 제1 층간절연막을 동시에 관통하여 타측 소스/드레인영역(35b)에 스토리지노드콘택(40)이 연결된다. 이와 같은 스토리지노드콘택(40)은 하부전극을 이루는 이리듐막(41a)과 연결되고, 통상적으로 폴리실리콘플러그, 티타늄실리사이드 및 티 타늄나이트라이드의 순서로 적층된 구조물이다.

<44> 도 3a 내지 도 3f는 도 2에 도시된 비휘발성 소자의 제조 방법을 도시한 공정 단면 도이다.

- <45> 도 3a에 도시된 바와 같이, 반도체 기판(31)에 소자간 분리를 위한 소자분리막(32)을 형성하여 활성영역을 정의하고, 반도체 기판(31)의 활성영역상에 게이트산화막(33)과 워드라인(34)을 차례로 형성한다.
- <46> 다음으로, 워드라인(34) 양측의 반도체기판(31)에 불순물을 이온주입하여 트랜지스터의 소스/드레인영역(35a, 35b)을 형성한다. 한편, 도면에 도시되지 않았지만, 워드라인의 양측벽에 스페이서를 형성할 수 있고, 이에 따라 LDD(Lightly Doped Drain) 구조의 소스/드레인영역을 형성할 수 있다. 즉, 워드라인을 마스크로 저농도 불순물을 이온주입하여 LDD 영역을 형성한 후, 워드라인의 양측벽에 스페이서를 형성하고, 워드라인과 스페이서를 마스크로 고농도 불순물을 이온주입하여 LDD 영역에 접하는 소스/드레인영역을 형성한다.
- <47> 다음으로, 트랜지스터가 형성된 반도체 기판(31)상에 제1 층간절연막(36)을 증착 및 평탄화한 후, 콘택마스크(도시 생략)로 제1 층간절연막(36)을 식각하여 일측 소스/드레인영역(35a)을 노출시키는 비트라인콘택홀을 형성하고, 비트라인콘택홀에 매립되는 비트라인콘택(37)을 형성한다. 여기서, 비트라인콘택(37)은 텅스텐(W)을 증착한 후 에치백(Etch back)이나 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 통해 형성한 텅스텐플러그(W-plug)일 수 있다.
- <48> 다음으로, 전면에 비트라인용 도전막을 증착한 후 패터닝하여 비트라인콘택에 연결되는 비트라인(38)을 형성하고, 비트라인(38)을 포함한 전면에 제2 층간절연막(39)을 증착한 후 평탄화한다.
- <49> 다음으로, 스토리지노드콘택마스크(도시 생략)로 제2 층간절연막(39)과 제1 층간절연막(36)을 동시에 식각하여 타측 소스/드레인영역(35b)을 노출시키는 스토리지노드콘

택홀을 형성한 후, 스토리지노드콘택홀에 스토리지노드콘택(40)을 매립시킨다. 한편, 스토리지노드콘택(40)은 폴리실리콘플러그(polsilicon-plug), 티타늄실리사이드(Ti-silicide) 및 티타늄나이트라이드(TiN)의 순서로 적층된 구조물로서, 이들의 형성 방법은 생략하기로 한다. 여기서, 티타늄실리사이드는 폴리실리콘플러그와 하부전극간 오믹콘택을 형성해주며, 티타늄나이트라이드는 폴리실리콘플러그와 하부전극간 상호확산을 방지하는 확산배리어막이고, 티타늄나이트라이드막은 화학적기계적연마(CMP)를 통해 평탄화된다.

- <50> 다른 스토리지노드콘택(40)의 형성 방법으로는 티타늄막을 증착한 후 열처리하여 티타늄실리사이드막을 형성한 후, 텅스텐막을 플러깅시키고, 배리어메탈로서 티타늄나이트라이드막을 형성한 후 화학적기계적연마(CMP)를 통해 평탄화시킬 수 있다.
- <51> 다음으로, 스토리지노드콘택(40)을 포함한 제2 층간절연막(39)상에 하부전극을 이를 도전막으로서 이리듐막(Ir, 41), 이리듐산화막(IrO_2 , 42) 및 백금막(Pt, 43)을 차례로 증착한다. 이때, 이리듐막(41), 이리듐산화막(42) 및 백금막(43)은 각각 $200\text{\AA} \sim 2000\text{\AA}$ 의 두께로 증착된다.
- <52> 다음에, 백금막(43)상에 하부전극 패터닝시 하드마스크로 이용되는 티타늄나이트라이드막(44)을 증착한 후, 티타늄나이트라이드막(44)상에 하부전극을 정의하는 감광막패턴(45)을 형성한다. 이때, 티타늄나이트라이드막(44)은 $50\text{\AA} \sim 1000\text{\AA}$ 의 두께로 증착되며, 티타늄나이트라이드막(44)은 하부전극의 패터닝시 기울기 특성이 우수한 하드마스크이다.
- <53> 그리고, 감광막패턴(45)을 마스크로 티타늄나이트라이드막(44)을 식각한다.

- <54> 도 3b에 도시된 바와 같이, 감광막패턴(45)을 제거한 후, 식각처리된 티타늄나이트라이드막(44)을 식각마스크로 백금막(43), 이리듐산화막(42), 이리듐막(41)을 차례로 패터닝하여 이리듐막(41a), 이리듐산화막(42a) 및 백금막(43a)의 순서로 적층된 하부전극을 완성한다. 이로써, 하부전극은 산소배리어막(oxygen barrier) 역할을 수행하는 이리듐막(41a), 접착층(glue layer) 역할을 수행하는 이리듐산화막(42a)과 금속막인 백금막(43a)의 순서로 적층된 3중 구조이다.
- <55> 하부전극을 이루는 금속막으로는 백금막(43a) 외에 루테늄막, 이리듐막, 텡스텐막 또는 텡스텐나이트라이드막중에서 선택되고, 접착층으로는 이리듐산화막(42a) 외에 루테늄산화막 또는 텡스텐산화막중에서 선택되며, 산소배리어막으로는 이리듐막(41a) 외에 루테늄막을 선택할 수 있다.
- <56> 상기한 바와 같이 하부전극 패터닝시 하드마스크인 티타늄나이트라이드막 (44)은 일부분 소모되어 백금막(43a) 상에 두께가 감소하여 잔류한다. 이하, 잔류하는 티타늄나이트라이드막을 도면부호 '44a'라 한다.
- <57> 다음에, 이웃한 하부전극간 공간을 채울때까지 하부전극을 포함한 전면에 제3 층간 절연막(46)을 형성한다. 이때, 제3 층간절연막(46)은 HDP(High Density Plasma) 산화막, BPSG, BSG 또는 PSG 중에서 선택된 하나이며, 1000Å ~ 10000Å의 두께로 형성된다.
- <58> 도 3c에 도시된 바와 같이, 티타늄나이트라이드막(44a)의 표면이 드러날때까지 화학적기계적연마(CMP)를 통해 제3 층간절연막(46)을 평탄화시켜 하부전극을 에워싸는 고립절연막(46a)을 형성한다. 이때, 화학적기계적연마과정시 티타늄나이트라이드막(44a)이 백금막(43a)을 캡핑(capping)하고 있으므로, 과도 화학적기계적연마(over CMP)되더라도 백금막(43a)이 손실되는 것을 억제한다.

- <59> 도 3d에 도시된 바와 같이, 백금막(43a) 상에 잔류하는 티타늄나이트라이드막(44a)을 제거하되, SC-1 액체 케미컬에 담그어 제거한다. 이때, 티타늄나이트라이드막(44a) 제거시 고립절연막(46a)이 산화막이므로 액체 케미컬에 쉽게 제거되고, 결국 백금막(43a) 표면이 드러나는 시점까지 고립절연막(46a)이 일부 제거된다.
- <60> 여기서, SC-1 액체 케미컬은 HCl/H₂O₂/H₂O의 혼합액으로서 금속막과의 반응성이 우수하기 때문에 티타늄나이트라이드막(44a)을 쉽게 제거할 수 있고, 이로써 고립절연막(46a) 또한 쉽게 제거되어 우수한 백금막(43a) 표면을 이룰 수 있다.
- <61> 결국, 잔류하는 고립절연막(46b)은 이웃한 하부전극들을 서로 절연시키면서 적층구조의 하부전극을 에워싸는 형태를 갖는다.
- <62> 이와 같이, 하부전극을 고립절연막(46b)에 에워싸이는 형태로 형성하므로써 캐패시터의 단차에 따른 마스크 작업의 부담 및 평탄화의 어려움, 그리고 상하부전극간 단락을 방지할 수 있는 장점을 갖는다.
- <63> 도 3e에 도시된 바와 같이, 화학적기계적연마후 평탄화된 결과물상에 BLT 또는 BT0 중에서 선택된 강유전체막(47)을 50 Å ~ 3000 Å의 두께로 성장시키고, 강유전체막(47)상에 산소공극 보상층(48)을 형성한다.
- <64> 여기서, 강유전체막(47)은 핵생성 및 성장과 결정립성장의 시퀀스(sequence)를 갖고, 핵성장은 급속열처리(Rapid Thermal Anneal; RTA) 방법을 이용하며, 급속열처리시 온도는 400 °C ~ 800 °C이고, 램프업(ramp up) 속도는 80 °C ~ 250 °C이다. 그리고, 결정립성장은 로열처리(furnace anneal)를 수행하며, 로열처리시 온도는 500 °C ~ 800 °C이고, 분위기 가스는 O₂, N₂O, N₂, Ar, Ne, Kr, Xe 또는 He 중에서 선택된다. 그리고, 강유전체막

(47)은 스픬코팅(Spin coating)법 또는 LSMCD(Liquid Source Mixed Chemical Deposition)법을 이용하여 50Å ~ 3000Å의 두께로 형성된다.

<65> 그리고, 산소공극 보상층(48)은 강유전체막(47)으로 이용되는 BLT 또는 BT0 내부의 티타늄이 환원되어 발생하는 결함, 즉 산소공극(Oxygen vacancy)을 보상(compensation)해주는 층으로서, 루테늄산화막(RuO_x) 또는 이리듐산화막(IrO_x)등의 금속산화막을 이용한다. 예컨대, 외부에서 전하충돌에 의한 티타늄의 환원이 있어도 루테늄산화막 또는 이리듐산화막의 산소와 티타늄에서 환원된 결함간 치환이 일어나 티타늄은 결함이 없이 안정한 구조를 이루어 피로 현상 특성을 안정화시킨다.

<66> 위와 같은 산소공극 보상층(48)은 10Å ~ 1000Å 두께이고, 화학기상증착법 또는 원자층증착법을 이용하여 100°C ~ 700°C의 온도와 0.1mtorr ~ 10torr의 압력에서 증착한 것이다.

<67> 도 3f에 도시된 바와 같이, 산소공극 보상층(48) 상에 상부전극(49)용 도전막을 형성한 후, 포토 및 식각 공정을 통해 상부전극(49)용 도전막을 식각하여 상부전극(49)을 형성하고, 동시에 산소공극 보상층(48)을 식각하여 상부전극(49)과 강유전체막(47) 사이에 산소공극 보상층(48)을 잔류시킨다.

<68> 여기서, 상부전극(49)을 형성하기 위한 도전막은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(Atomic Layer Deposition; ALD) 및 플라즈마원자층증착법(Plasma Enhanced ALD; PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 백금(Pt), 이리듐(Ir), 루테늄(Ru), 텉스텐(W), 이리듐산화막, 루테늄산화막, 텉스텐나이트라이드막 또는 티타늄나이트라이드막 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다.

- <69> 전술한 바와 같은 실시예의 캐패시터를 MTP(Merged Top Plate) 구조의 캐패시터라고 하며, MTP 구조의 캐패시터는 하부전극이 고립절연막에 의해 에워싸이므로써 식각과정에서 플라즈마에 의한 강유전체막의 식각손실이 없어 강유전체막 내부가 받는 결함의 영향이 급격히 줄어드는 큰 장점이 있다.
- <70> 상기 실시예에서는 산소배리어막, 접착층과 금속막의 순서로 적층된 3중 구조의 하부전극을 예로 들었으나, 하부전극이 금속막 단일층인 경우에도 적용가능하다. 이때, 금속막은 실시예와 동일하게 Pt, Ru, Ir, W 또는 WN 중에서 선택된다.
- <71> 한편, 산소공극 보상층(48)을 적용함에 있어 하부의 강유전체막(47)이 티타늄을 함유한 BLT 또는 BT0인 경우를 예로 들었으나, 탄탈륨을 함유하고 있는 SBT[SrBi₂Ta₂O₉], SBTN[SrBi₂(Ta_{1-x}, Nb_x)₂O₉]을 적용하는 경우에도 산소공극 보상층을 SBT 또는 SBTN과 상부전극 사이에 삽입하는 경우에도 동일한 효과를 얻을 수 있다.
- <72> 도 4a는 본 발명의 실시예에 따른 BLT막의 신뢰성 측정 결과이다. 여기서, 가로좌표는 스위칭사이클을 나타내고, 세로좌표는 분극값($P^* - P^\wedge$)을 나타내며, +dP와 -dP는 각각 양의 분극값과 음의 분극값을 나타낸다. 그리고, 도 4b는 신뢰성 감소폭을 수치로 나타낸 그래프로서, 가로좌표는 측정온도를 나타내고, 세로좌표는 분극값($P^* - P^\wedge$)을 나타낸다.
- <73> 도 4a를 참조하면, 125°C(▲, ▼)의 경우, 스위칭 사이클이 높더라도 거의 잔류분극의 변화가 없고, 상온(RT, ●)의 경우에도 스위칭 사이클이 높더라도 잔류분극이 거의 변화하지 않는다. 결국, 데이터가 고속으로 장시간 사용되는 높은 스위칭사이클에서도 신뢰성이 확보되고 있음을 알 수 있다.

<74> 도 4b를 참조하면, 측정온도가 높아질수록 잔류분극이 서서히 감소하고 있으며, 잔류분극값이 $18 \mu\text{C}/\text{cm}^2$ 정도에서 $10 \mu\text{C}/\text{cm}^2$ 정도로 최소화되고 있다.

<75> 아울러, 도 1c의 종래기술에서는 125°C (▲,▼)의 경우 측정온도가 높을수록 급격하게 잔류분극값이 감소하였으나, 본 발명에서는 125°C (▲,▼)의 경우 잔류분극값이 완만하게 감소하고 있다. 이와 같은 결과에 의해, 본 발명과 같이 BLT막과 상부전극 사이에 산소공극보상층을 삽입하므로써 비휘발성 소자의 신뢰성을 향상시킨다.

<76> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<77> 상술한 바와 같은 본 발명은 강유전체막을 이루는 구성물질의 환원에 따른 결함과 산소공극 보상층의 산소간 치환을 일어나도록 하므로써 강유전체막의 피로 현상을 감소 시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

트랜지스터가 형성된 반도체기판;

상기 반도체기판 상부의 평탄한 표면을 갖는 층간절연막;

상기 층간절연막을 관통하는 콘택을 통해 상기 트랜지스터의 소스/드레인에 연결되는 상기 층간절연막 상의 하부전극;

상기 하부전극의 표면을 노출시키는 평탄한 표면을 갖고 상기 하부전극을 에워싸는 상기 층간절연막 상의 고립절연막;

상기 고립절연막 및 상기 하부전극을 덮는 강유전체막;

상기 강유전체막을 이루는 구성물질의 환원에 따른 산소공극을 보상해주는 상기 강유전체막 상의 산소공극 보상층; 및

상기 산소공극 보상층 상의 상부전극

을 포함하는 비휘발성 소자.

【청구항 2】

제1 항에 있어서,

상기 산소공극 보상층은, 금속산화막인 것을 특징으로 하는 비휘발성 소자.

【청구항 3】

제2 항에 있어서,

상기 금속산화막은 루테늄산화막 또는 이리듐산화막인 것을 특징으로 하는 비휘발성 소자.

【청구항 4】

제1 항에 있어서,

상기 산소공극 보상층은, $10\text{ \AA} \sim 1000\text{ \AA}$ 두께인 것을 특징으로 하는 비휘발성 소자.

【청구항 5】

제1 항에 있어서,

상기 고립절연막은, HDP 산화막, BPSG, BSG 또는 PSG 중에서 선택된 하나인 것을 특징으로 하는 비휘발성 소자.

【청구항 6】

제1 항에 있어서,

상기 하부전극은, 접착층, 산소배리어막 및 금속막의 순서로 적층된 적층 구조인 것을 특징으로 하는 비휘발성 소자.

【청구항 7】

제6 항에 있어서,

상기 접착층은 이리듐막이고, 상기 산소배리어막은 이리듐산화막이며, 상기 금속막은 백금막인 것을 특징으로 하는 비휘발성 소자.

【청구항 8】

반도체기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막상에 하부전극과 하드마스크의 순서로 적층된 적층 패턴을 형성하는 단계;

상기 적층 패턴을 포함한 전면에 고립절연막을 형성하는 단계;

상기 하드마스크의 표면이 드러날때까지 상기 고립절연막을 평탄화시키는 단계;

상기 하드마스크를 액체케미컬을 이용하여 제거하는 단계;

상기 하드마스크 제거후 드러난 상기 하부전극을 포함한 전면에 강유전체막을 형성하는 단계;

상기 강유전체막상에 산소공극 보상층을 형성하는 단계;

상기 산소공극 보상층 상에 상부전극용 도전막을 형성하는 단계; 및

상기 상부전극용 도전막과 상기 산소공극 보상층을 연속적으로 패터닝하는 단계를 포함하는 비휘발성 소자의 제조 방법.

【청구항 9】

제8 항에 있어서,

상기 강유전체막은, SBTN, SBT, BTO 또는 BLT 중에서 선택된 하나인 것을 특징으로 하는 비휘발성 소자의 제조 방법.

【청구항 10】

제8 항에 있어서,

상기 산소공극 보상층은, 화학기상증착법 또는 원자층증착법을 이용하여 100°C ~ 700°C의 온도와 0.1mtorr ~ 10torr의 압력에서 증착한 금속산화막인 것을 특징으로 하는 비휘발성 소자의 제조 방법.

【청구항 11】

제10 항에 있어서,

상기 금속산화막은 루테늄산화막 또는 이리듐산화막인 것을 특징으로 하는 비휘발성 소자의 제조 방법.

【청구항 12】

제8 항에 있어서,

상기 산소공극 보상층은 10Å ~ 1000Å 두께로 형성되는 것을 특징으로 하는 비휘발성 소자의 제조 방법.

【청구항 13】

제8 항에 있어서,

상기 고립절연막을 평탄화시키는 단계는,

상기 하드마스크의 표면이 드러날때까지 상기 고립절연막을 화학적기계적연마하는 것을 특징으로 하는 비휘발성 소자의 제조 방법.

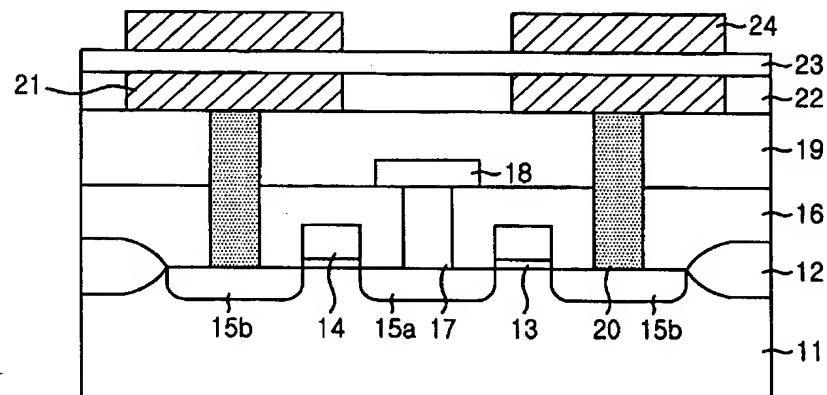
【청구항 14】

제8 항 또는 제 13항에 있어서,

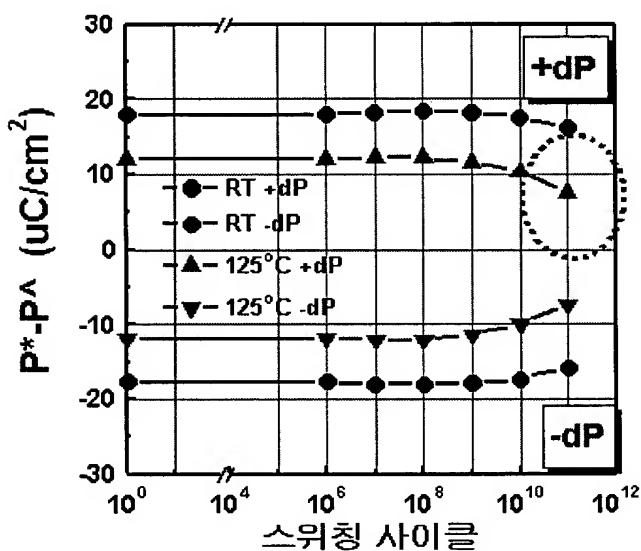
상기 고립절연막은, HDP 산화막, BPSG, BSG 또는 PSG 중에서 선택된 하나인 것을 특징으로 하는 비휘발성 소자의 제조 방법.

【도면】

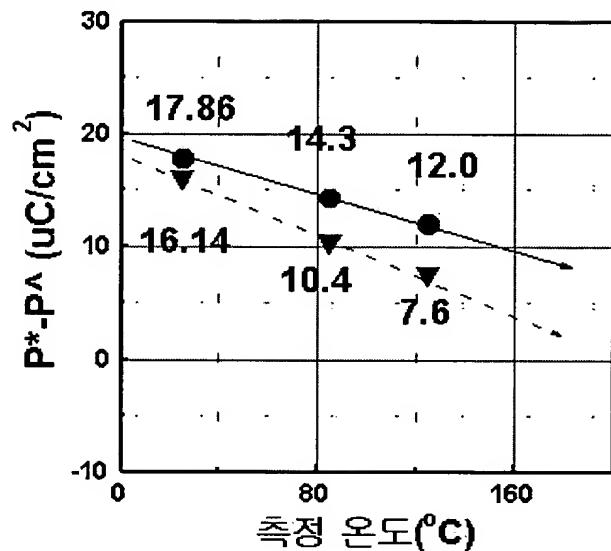
【도 1a】



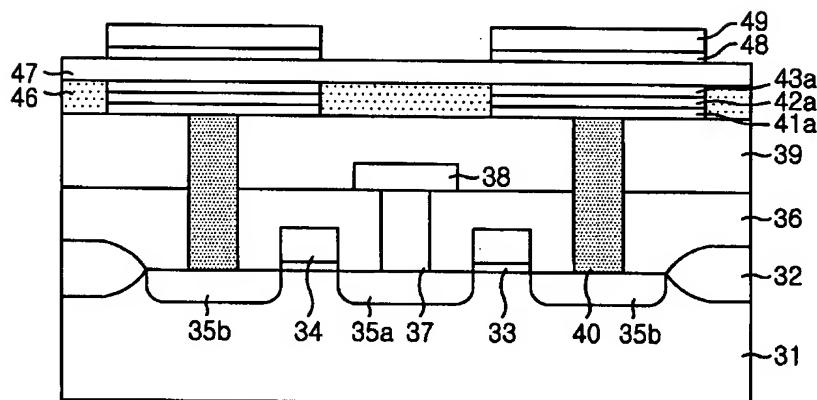
【도 1b】



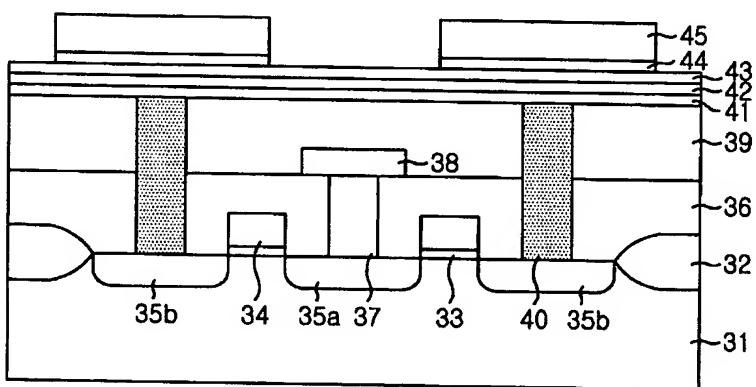
【도 1c】



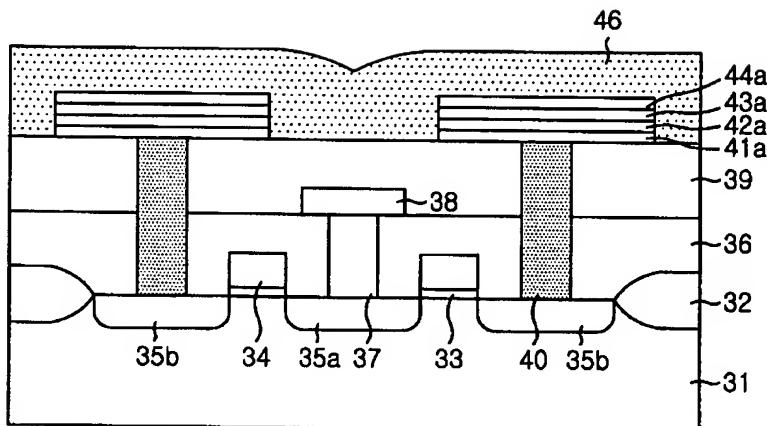
【도 2】



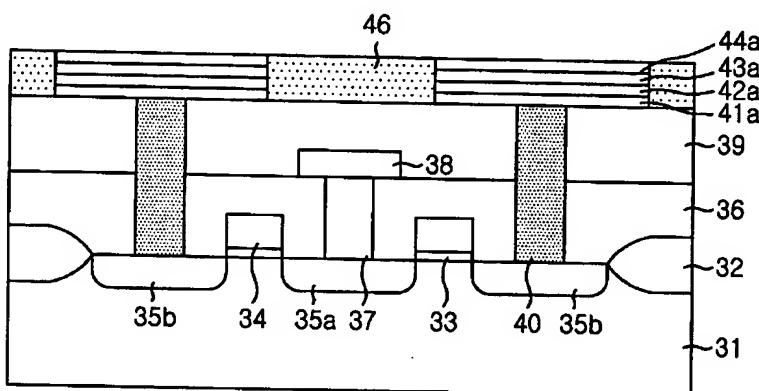
【도 3a】



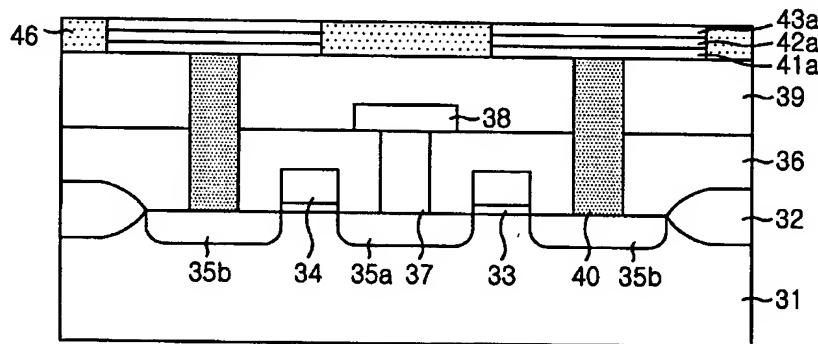
【도 3b】



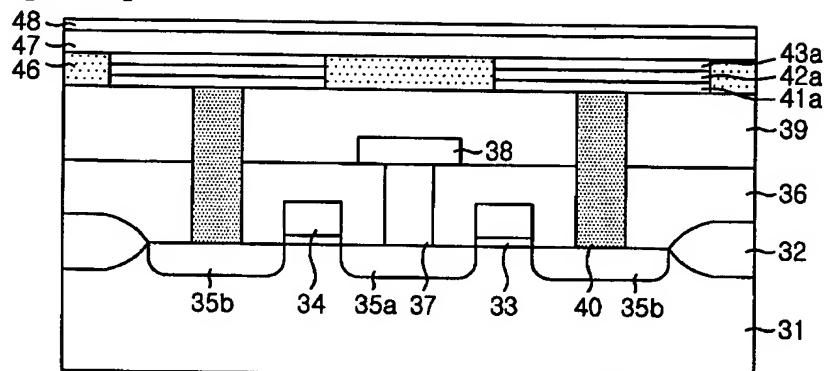
【도 3c】



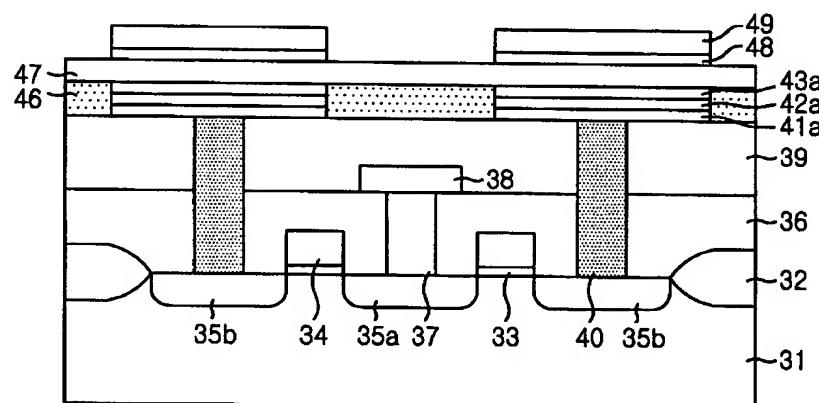
【도 3d】



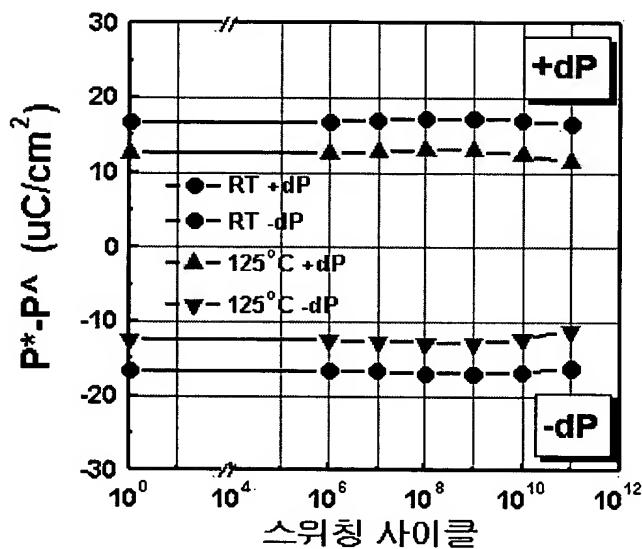
【도 3e】



【도 3f】



【도 4a】



【도 4b】

